

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-067792

(43)Date of publication of application : 19.03.1993

(51)Int.Cl.

H01L 29/788  
H01L 29/792  
H01L 27/04  
// H01L 21/28

(21)Application number : 03-171123

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.07.1991

(72)Inventor : TAKENAKA KAZUHIRO

(30)Priority

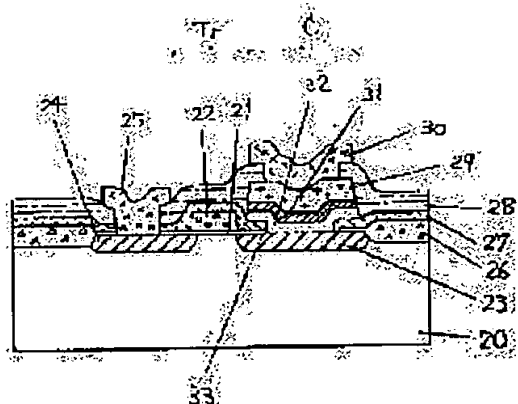
Priority number : 02195857  
03165553Priority date : 24.07.1990  
05.07.1991Priority country : JP  
JP

## (54) SEMICONDUCTOR DEVICE WITH FERRODIELECTRIC

(57)Abstract:

PURPOSE: To prevent oxygen from diffusing to a semiconductor substrate interface during oxygen annealing treatment by forming a conductive reaction preventing film between a semiconductor substrate and an electrode.

CONSTITUTION: A structure body of a ferroelectric capacitor C which is a ferroelectric formation structure is provided on a source region 23 between a gate electrode 22 and a local oxide film 26. The structure body has ferroelectric film 29 to become base, and electrode layers of on upper electrode 30 and a lower electrode 31 which hold it up and down, and it has a conductive reaction preventing film 32 between the lower electrode 31 and the source region 23. The conductive reaction preventing film 32 held between the active region and the lower electrode is a TiN film, a TiON film, a TiW film, an MoSi film, etc., and is formed by sputter, for example. In an oxygen annealing treatment, oxygen enters grain boundary of the ferroelectric film 29 and the lower electrode 31. However, since the conductive reaction preventing film 32 has properties to block oxygen, it is possible to generate a silicon oxide film in a source electrode interface.



## LEGAL STATUS

[Date of request for examination] 15.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3021800

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-67792

(43)公開日 平成 5 年(1993) 3 月19日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
27/04		C 8427-4M		
// H 0 1 L 21/28	3 0 1	R 7738-4M		
		8225-4M		
			H 0 1 L 29/ 78	3 7 1
			審査請求	未請求 請求項の数7(全 9 頁)

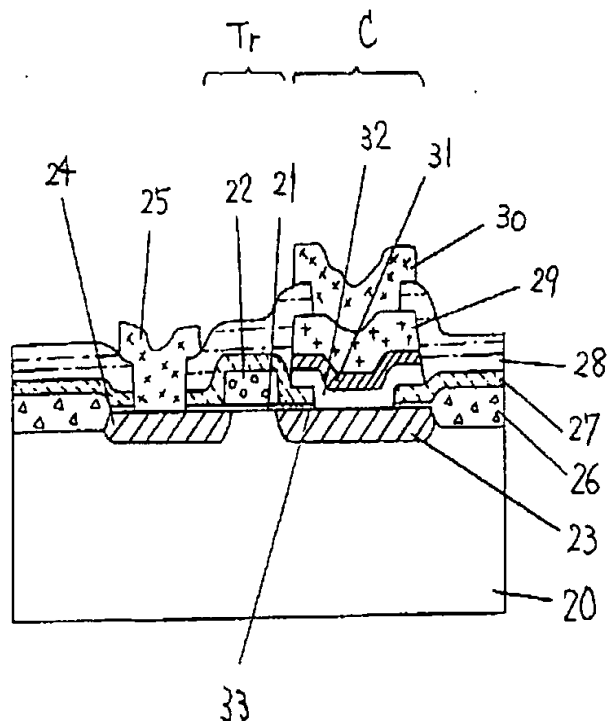
(21)出願番号	特願平3-171123	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿 2 丁目 4 番 1 号
(22)出願日	平成 3 年(1991) 7 月11日	(72)発明者	竹中 計廣 長野県諏訪市大和 3 丁目 3 番 5 号セイコー エプソン株式会社内
(31)優先権主張番号	特願平2-195857	(74)代理人	弁理士 鈴木 喜三郎 (外 1 名)
(32)優先日	平 2 (1990) 7 月24日		
(33)優先権主張国	日本 (J P)		
(31)優先権主張番号	特願平3-165553		
(32)優先日	平 3 (1991) 7 月 5 日		
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 強誘電体を備えた半導体装置

(57)【要約】 (修正有)

【構成】 ゲート電極 2 2 と局所酸化膜 2 6 との間のソース領域 2 3 上に強誘電体キャパシタ C の構造体が存在する。これは強誘電体膜 2 9 とこれを挟む上部電極 3 0 及び下部電極 3 1 を有し、下部電極 3 1 とソース領域 2 3 との間に導電性反応防止膜 3 2 を備えている。導電性反応防止膜 3 2 は T i N、T i O N、T i W、M o S i である。

【効果】 強誘電体膜 2 9 の結晶性改質の目的で強誘電体膜 2 9 の形成後、酸素アニール処理しても酸素は導電性反応防止膜によりブロックされる。それ故、ソース界面でのシリコン酸化膜の生成は殆ど起らず、接触抵抗の低減直列寄生容量の回避を達成でき、キャパシタ C の形成領域の自由度が増し、高密度集積化が図れる。



# 【特許請求の範囲】

【請求項1】 酸素結合性のある半導体基体の主表面上または内部において電極を介して形成された強誘電体膜を素子要素とする半導体装置であって、該半導体基体と該電極との間には導電性反応防止膜が形成されてなることを特徴とする強誘電体を備えた半導体装置。

【請求項2】 前記導電性反応防止膜は、窒化Ti膜、窒化酸化Ti膜、TiW膜、MoSi膜の何れかまたはそれらの混合膜であることを特徴とする請求項1記載の強誘電体を備えた半導体装置。

【請求項3】 酸素結合性のある半導体基体の主表面上または内部において電極を介して形成された強誘電体膜を素子要素とする半導体装置であって、該半導体基体と該電極との間には導電性反応防止膜が形成され、また前記半導体基体と前記導電性反応防止膜との間には導電金属膜が形成されてなることを特徴とする強誘電体を備えた半導体装置。

【請求項4】 前記導電性金属は前記導電性反応防止膜を生成可能の金属膜であることを特徴とする請求項3記載の強誘電体を備えた半導体装置。

【請求項5】 前記導電性金属はTi膜であることを特徴とする請求項4記載の強誘電体を備えた半導体装置。

【請求項6】 酸素結合性のある半導体基体の主表面上または内部において電極を介して形成された強誘電体膜を素子要素とする半導体装置であって、該半導体基体と該電極との間には導電性反応防止膜が形成され、前記半導体基体の界面には金属シリサイドが形成されてなることを特徴とする強誘電体を備えた半導体装置。

【請求項7】 前記金属シリサイドがTiSi、WSi、MoSi、PtSi、PdSi、TaSiのうちの何れかであることを特徴とする請求項6記載の強誘電体を備えた半導体装置。

# 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、不揮発性メモリ等に適用可能な強誘電体キャパシタ等の強誘電体を備えた半導体装置に関する。

## 【0002】

【従来の技術】 印加電圧の正逆極性により分極反転可能な強誘電体を用いた不揮発性メモリは、情報書き込み時間と情報読み出し時間が原理的に等しい。また静止状態（バックアップ時）は電圧無印加でも分極（残留分極）が保持されるため、理想的な不揮発性メモリとして有望視されている。

【0003】 従来、強誘電体キャパシタを用いた半導体不揮発性メモリとしては、米国特許4149302号のように、シリコン（Si）基板上に強誘電体キャパシタを集積した構造のものや、米国特許3832700号のように、MIS型トランジスタのゲート電極上に強誘電体膜を配置した構造のものが提案されている。

## 【0004】

【発明が解決しようとする課題】 不揮発性メモリセルは、一般的に、図8に示すように、ワード線Wに接続されたゲート電極Gとビット線Bに接続されたドレイン電極Dと強誘電体キャパシタCの一方の電極に接続されたソース電極SをもつN型トランジスタTrを有し、強誘電体キャパシタCの他方の電極がプレート線Pに接続された回路構成である。このようなメモリセルの現実的な半導体構造としては、最近では図9に示すものが提案されている。図9に示す半導体構造は、P型シリコン基板1上のゲート酸化膜2を介して形成されたポリシリコン（他結晶シリコン）のゲート電極3と、セルフアラインによりシリコン基板1内に拡散形成された高濃度N型のソース領域4及びドレイン領域5とからなるN型MOSトランジスタTrと、素子分離用の局所酸化膜（LOCOS）6上において燐ガラス等の層間絶縁膜7の上に形成された強誘電体キャパシタCを有し、層間絶縁膜7上の強誘電体キャパシタCは、白金（Pt）等の下部電極8、PZT等の強誘電体膜9及びアルミニウム（Al）の上部電極10が順次積層形成されてなるものである。そして、高濃度の拡散領域たるソース領域と上部電極10とはコンタクト孔11を介してAlの配線12をもって接続されている。なお、13は燐ガラス等の第2層間絶縁膜である。

【0005】 このように局所酸化膜6上の層間絶縁膜7を介して強誘電体キャパシタCを形成した構造では、局所酸化膜6上のスペースを有効活用して強誘電体キャパシタCが形成されているものの、ソース領域11から上部電極10までと、また上部電極10からプレート線Pまでの配線12の長さが冗長化しており、メモリセル占有面積の増大を招いている。しかしながら、この構造のメモリセルはセル面積の増大を招くものの、以下の理由により現実的な構造であるといえる。即ち、本発明者は、図10に示すような強誘電体膜9をソース領域4上に直接堆積したメモリセル構造を試作した。強誘電体膜9の上にポリシリコンの上部電極配線14が形成され、下部電極としてはソース領域4自身が兼用している。ところが、強誘電体膜9の形成後においては、その膜の結晶性を改善して比誘電率Esを高めるために酸素アニール処理を施す必要がある。酸素アニール処理工程における酸素の強い反応性のため、ソース領域4と強誘電体膜9との間にシリコン酸化膜（SiO2）15がどうしても形成されてしまう。この膜15の膜厚が非常に薄いときは、図11（a）に示す如く、シリコン酸化膜15は直列の接触抵抗R0となる。この寄生した接触抵抗R0の存在はアクセス速度の遅れをもたらす。また膜15が比較的厚いときは、この膜15は図11（b）に示す如く直列の寄生キャパシタC0となる。かかる場合、メモリセルの記憶容量としては寄生キャパシタC0と強誘電体キャパシタCの直列合成容量である。しかし、従っ

て、その寄生キャパシタC0にはソース電圧の分圧が印加される。その分圧によるシリコン酸化膜15の絶縁破壊を防止するにはその膜厚を相当厚く形成するか、その分圧自身を抑える必要がある。シリコン酸化膜15を相当厚くすると、その分圧も必然的に大きくなるから耐圧改善には殆ど有効的ではない。また分圧を直接抑えるためには、シリコン酸化膜15の膜厚を非常に薄くするか、強誘電体膜9の膜厚を相当厚くする必要がある。シリコン酸化膜15の膜厚を非常に薄く設定することは上述の酸素アニール処理を施す都合上無理であり、また強誘電体膜9の膜厚を相当厚くすることは、強誘電体キャパシタCの容量を下げることを意味するので、その強誘電体キャパシタの機能が発揮されなくなる。

【0006】また、本発明者はアニールの際の強誘電体膜の結晶性の改質を目的とし、図12に示すように下部電極16としてPtを用いたメモリセル構造を試作した。前述したように強誘電体膜9の形成後においては、酸素アニール処理を施す必要があるが、下部電極にPtを使用した場合には、PtのSiとの強い反応性のために、図12に示すようにPtとSiのスパイク状の反応17が発生し、拡散接合領域を越してしまい、接合リークが発生し、メモリセルの動作に支障を来すことが多々見られた。

【0007】このような理由により、図8に示す構造は強誘電体の機能を十分に引き出すため、不揮発性メモリ構造として有益な構造である。しかしながら、上述したように、セル面積が大きいという問題点を有していた。

【0008】そこで本発明は、上記各構造の問題点を鑑み、強誘電体を用いた不揮発性メモリとしての機能を損なわずに、セル面積の縮小化ないし強誘電体キャパシタの形成にともなう平面スペースの増大を招かず済む構造の強誘電体を備えた半導体装置を提供することにある。

【0009】

【課題を解決するための手段】本発明は、基本的には、半導体基体ないし半導体基板の主表面または内部における強誘電体の形成構造を提供するものである。代表的な半導体基板としてはシリコン基板があるが、ガリウム砒素等の化合物半導体なども同様のように、酸素結合性のある基体に対して適用できる。強誘電体形成構造の領域は真性半導体領域でもよいし、不純物拡散領域のN型またはP型領域でも構わない。不純物拡散領域としてはMIS型トランジスタのソース領域またはドレイン領域やバイポーラ・トランジスタの3電極の拡散領域などが代表例であるが、能動素子の活性領域に限らず、拡散抵抗層やストップ領域などの受動素子の各領域の上に強誘電体形成構造を実現することができる。拡散領域上に積み上げ的に強誘電体キャパシタ構造を実現する場合は勿論のこと、トレンチ内にも強誘電体形成構造を実現できる。即ち、本発明の講じた手段は、半導体基体と強誘電

体の電極との間において、導電性反応防止膜の挟み込み構造を採用する点にある。つまり、本発明では、半導体基体、導電性反応防止膜、電極、及び強誘電体膜の順の積層構造を採用する。強誘電体膜としては、一般にPbTiO<sub>3</sub>、PZT (PbTiO<sub>3</sub>、PbZrO<sub>3</sub>) またはPLZT (La、PbTiO<sub>3</sub>、PbZrO<sub>3</sub>) などが用いられるそしてこの種の強誘電体膜は例えばスパッタ法で成膜され、その後、誘電率等を改善するために酸素アニール処理を必要とする。強誘電体膜の電極は例えばPtやPdで、強誘電体膜の結晶の格子常数に近いPtが望ましい。

【0010】導電性反応防止膜は、例えばTiN膜、TiON膜、TiW膜、MoSi膜のいずれかや、それらの2以上の混合膜であってもよい。このような導電性反応防止膜を半導体基体と電極との間に挟み込んだ構造は、上記の酸素アニール処理における半導体基体の界面への酸素の拡散を防止し、界面の酸化膜の発生を阻止する。それ故、接触抵抗の低減や寄生直列抵抗の回避が達成される。従って、半導体基体のLOCOS上に強誘電体素子を設ける必要がなく、その形成領域の自由度が拡大するので、高密度集積化に寄与する。

【0011】また本発明の第2の手段としては、半導体基体と上述の導電性反応防止膜との間にその導電性反応防止膜を生成可能な導電金属膜を介在させてもよい。この導電金属膜は導電性反応防止膜の生成不能の金属膜でも構わない。前述したように、導電性反応防止膜自身が導電性があり、酸素ブロッキング性を有しているからである。しかし、当該導電性反応防止膜を生成可能な導電性金属とすることが望ましい。その酸素ブロッキング性を十分確保し、またプロセス追加を排除するためである。導電金属膜としては、例えば、Ti膜、W膜、Mo膜のいずれかや、それらの2以上の混合膜である。更なる接触抵抗の低減を目的とするためには、半導体基体の界面に金属シリサイド膜を形成することが望ましい。その金属シリサイド膜としては、例えば、Ti、W、Moのうちのいずれかの金属を主成分としたシリサイド膜である。

【0012】

【作用】本発明の半導体装置の構造によると、半導体基体、導電性反応防止膜、電極、及び強誘電体膜の順の積層構造を採用することにより、導電性反応防止膜は酸素アニール処理の際に酸素の半導体基体界面への拡散を防止するため、シリコン酸化膜の形成を阻止する。また、電極と半導体基体との反応も阻止できるため、拡散接合にリーク電流が発生することもない。

【0013】

【実施例】次に、本発明に係わる実施例を図面に基づいて説明する。

【0014】図1は本発明の実施例1に係わる強誘電体キャパシタを備えた半導体装置を示す主要断面図であ

る。

【0015】この半導体装置は不揮発性メモリで、等価回路的には図8に示すメモリセルを有するものである。この実施例では例えば200hm、cmの比抵抗のウェハたるP型シリコン基板20を用い、それにN型MOSトランジスタTrと強誘電体キャパシタCの構造が形成されている。周知のように、N型MOSトランジスタTrの半導体構造は、シリコン基板20上のゲート絶縁膜（シリコン酸化膜）21を介して形成された燐ドーパのポリシリコンたるゲート電極22と、このゲート電極22をマスクとしセルフアライン（自己整合）により燐を80KV、5E15cm<sup>-2</sup>でイオン注入して形成された基板内の高濃度N型不純物拡散領域たるソース領域23及びドレイン領域24とからなる。ドレイン領域24にはコンタクト孔を介して蒸着法やスパッタ法により形成されたAlの配線電極25が接続されている。26は厚さ約600nmの素子分離用の局所酸化膜（LOCOS）である。また27は第1層間絶縁膜、28は第2層間絶縁膜で、例えば、気相成長法による厚さ約400nmの燐ガラスである。

【0016】本実施例では、ゲート電極23と局所酸化膜26との間のソース領域23上において強誘電体形成構造たる強誘電体キャパシタCの構造体が設けられている。この構造体は、基本となる強誘電体膜29とこれを上下に挟む電極層たる上部電極30及び下部電極31を有し、その下部電極31とソース領域23との間に導電性反応防止膜32を備えるものである。強誘電体膜29としてはPbTiO<sub>3</sub>、PZT（PbTiO<sub>3</sub>、PbZrO<sub>3</sub>）、またはPLZT（La、PbTiO<sub>3</sub>、PbZrO<sub>3</sub>）などで、例えばスパッタ法で形成されている。上部電極としては例えば低比抵抗のアルミニウム（Al）で、蒸着法やスパッタ法により形成されている。下部電極31としては白金（Pt）またはパラジウム（Pd）で、例えばスパッタ法で形成されている。白金（Pt）を下部電極31として選択した場合には、強誘電体膜29のPbTiO<sub>3</sub>、PZT、またはPLZTと格子常数が近いので、強誘電体膜29に対する酸素アニール処理により同時に結晶性が改質されるので、良好な電気特性が得られる。活性領域と下部電極とに挟み込まれた導電性反応防止膜32は、TiN膜、TiON膜、TiW膜、MoSi膜等であり例えばスパッタ法で形成される。この導電性反応防止膜は燐ガラスの第1層間絶縁膜27に窓明けしたコンタクト孔33において、高濃度N型のソース領域23に導電接触している。

【0017】このような強誘電体キャパシタCの形成法としては、まず、ソース領域23上を被覆した第1層間絶縁膜27を窓明けし、スパッタ法で導電性反応防止膜を堆積してその窓明け部に導電性反応防止膜32を形成し、更に下部電極31及び強誘電体膜29をそれぞれスパッタ法で積層し、しかる後全面を第2層間絶縁膜28

で被覆する。その後、従来技術であるホト・エッチング技術により上部電極30及びその配線（プレート線）やドレイン電極配線25を形成する。

【0018】このようにソース領域23の上に導電性反応防止膜32を介して強誘電体キャパシタCが積み上げに積層されている。このため、ソース領域23と下部電極31との間の配線平面占有面積を有効的に節約できるので、セル面積の縮小化が実現されている。またソース領域23の表面にはシリコン酸化膜が寄生していないので、強誘電体キャパシタCだけの記憶キャパシタが実現される。

【0019】ところで、上述の製造プロセスにおいては、強誘電体膜29の形成後、酸素を含む雰囲気中で熱処理（酸素アニール処理）を行なう。これは強誘電体膜29の結晶性を改質して比誘電率E<sub>s</sub>を例えば1000以上に高めるためである。この酸素アニール処理においては酸素が強誘電体膜29及び下部電極31の結晶粒界に進入する。しかし、導電性反応防止膜32は酸素をブロックする性質があるため、ソース電極界面でのシリコン酸化膜の生成を防止できる。また、導電性反応防止膜32としてTiN膜やTiON膜を用いた場合には、これらの導電性反応防止膜の表面は若干酸化されることもあるが、これらの膜は若干酸化されることにより反応防止性が高まる性質があるため、より好都合である。いずれにしろ、ソース領域23の界面でのシリコン酸化膜の生成は殆ど起らないので、接触抵抗の低減ないし直列寄生容量の回避を達成することが出来る。下部電極31に白金（Pt）を用いた場合、前述したように、酸素アニール処理においては強誘電体膜29の結晶性が改質されるが、白金とシリコン（Si）の反応性が強すぎて、Ptの基板内への拡散を招く。しかし、本発明の場合には、それらの間に介在する導電性反応防止膜32によって拡散を防止することが出来る。なお、導電性反応防止膜32とソース領域23との間にチタン（Ti）シリサイド膜等の金属シリサイドを形成してもよい。更に、導電性反応防止膜32と下部電極31との間にTi膜等を挟んでもよい。

【0020】図9に示すような従来の強誘電体キャパシタ構造を有する不揮発性メモリにおいては、導電性反応防止膜32が存在しない場合の情報書換え回数は高温での酸素アニールが出来ないため、10E5回であったが、本実施例に於て導電性反応防止膜としてTiN膜を用いた場合には、500C以上の酸素アニールが可能となったため、情報書換え回数は10E9回にまで達した。また強誘電体膜の比誘電率E<sub>s</sub>としては1500前後の値が得られた。

【0021】このようにソース領域23上に縦積み構造の強誘電体キャパシタCを構築できる利益は、セル面積の縮小化は勿論のこと、図9の構造と比較して電極接触部分（接触抵抗部分）を一つ減らすことが出来る。実質

的に図9に示す配線12部分を排除出来るためである。その故、情報書き込み・読み出し時間の短縮化に寄与する。また図1と図9の比較から明らかなように、図9の上部電極10が本例の下部電極31に、図9の下部電極8が本例の上部電極30にトポロジ的に対応している。本例における下部電極31はPtを選択することが望ましいが、PtはAlに比して比抵抗が大である。しかし、本例の下部電極31は膜厚が薄く接触面積がコンタクト孔のそれよりも大であるので、ソース領域23と強誘電体キャパシタCとの間の抵抗値は殆ど問題とならない。またプレート線Pたる上部電極30及びその配線はAlで形成可能である。つまりプレート線Pが強誘電体29の上に形成できるからである。このため、従来に比してセル毎のプレート電位のバラツキが顕著に改善される。更に、従来は厚いLOCOS上に強誘電体キャパシタCが縦積み構成されており、各膜の段差被覆性に問題があったが、本例ではゲート電極22の両脇に強誘電体キャパシタCが形成されているので、段差被覆性が改善されている。

【0022】図2は本発明の実施例2に係わる強誘電体キャパシタを備えた半導体装置を示す主要断面図である。なお、同図において図1に示す部分と同一部分には同一参照記号を付し、その説明は省略する。この実施例においてもソース領域23上には強誘電体キャパシタCが積み上げ形成されている。ソース領域23と下部電極31との間には金属シリサイド膜40、導電性金属膜41及び導電性反応防止膜42が順次積み上げ形成されている。導電性金属膜41としてはチタン(Ti)等の金属で導電性を有する。この導電性金属膜41の下層はその金属を主成分とする金属シリサイド膜40である。導電性金属膜41と下部電極30との間には窒化チタン(TiN)、窒化酸化チタン(TiON)等の導電性反応防止膜42が挟まれている。実施例1と異なる点は、ソース領域23と導電性反応防止膜42との間に金属シリサイド40及び導電性金属膜41が介在していることである。

【0023】チタン(Ti)等の導電性金属膜41の存在意義は、金属シリサイド膜40を形成させる目的と窒化チタン(TiN)、窒化酸化チタン(TiON)等の導電性反応防止膜42を同時に形成する目的を兼ねるものである。金属シリサイド膜40の存在は接触抵抗を低減させる。

【0024】次に、上記実施例の製造方法を図3に基づいて説明する。

【0025】先ず、図3(a)に示すように、ゲート電極22を形成した後、セルフアラインにより高濃度N型のソース領域23及びドレイン領域24をP型半導体基板20内に作り込む。次に、燐ガラスを全面に被覆して第1層間絶縁膜27を形成する。次に、ソース領域23上の層間絶縁膜をエッチングによりコンタクト孔27a

を窓明けする。次に、図3(b)に示すように、例えばスパッタ法により導電性反応防止膜を生成する金属としてチタン(Ti)膜45を厚さ100nmで全面被覆する。しかる後、窒素を含む雰囲気中で熱処理を施す。この熱処理により図3(c)の様に、チタン(Ti)膜45の表面側が窒化され、窒化チタン(TiN)の導電性反応防止膜42が形成される。このアニールの際に若干の酸素を混ぜることにより窒化酸化チタン(TiON)の形成も可能である。またチタン(Ti)膜42のソース領域23に接触する側にはTiを主体とする金属シリサイド膜40が形成される。このアニール処理の結果、図4に示すように、チタン(Ti)膜の(上面側)表面側が窒化チタン(TiN)の導電性反応防止膜42に、その下面側(裏面側)が金属シリサイド膜40にそれぞれ変化しても良いし、図3(c)に示すように、一部にチタン(Ti)の導電性金属膜41が無変化のまま残っていてもよい。導電性反応防止膜を生成する金属膜45をソース領域23上に直接堆積する意義は、実施例1のように導電性反応防止膜を形成する方法に比して、機能上もプロセス上も好都合である。金属シリサイド膜40の自己生成によりコンタクト抵抗の低減に寄与しアクセスタイムの短縮化に資する利益が追加プロセスのない態様で首尾良く得られるからである。

【0026】図5は本発明の実施例3に係わる強誘電体キャパシタを備えた半導体装置を示す主要断面図である。なお、同図において図1に示す部分と同一部分には同一参照符号を付し、その説明は省略する。この実施例においてもソース領域23と下部電極31の間にはシリサイド膜としてTiシリサイド膜50、導電性反応防止膜52が順次積み上げ形成されている。導電性反応防止膜52としてはTiN膜、TiON膜、TiW膜、MoSi膜などである。ソース領域23と導電性反応防止膜52との間にはTiシリサイド膜50が挟み込まれている。これは接触抵抗を低減させるためである。Tiシリサイド膜の形成法としては、Tiをスパッタ法で厚さ100nmで堆積し、コンタクト孔を埋めた後、700°C、20分、Ar雰囲気中で熱処理することによりコンタクト孔のTiとソース領域23のSiとを反応させてTiシリサイドを形成させる。その後、過酸化水素水、アンモニア水、水の混合液で未反応のTiを除去する。Tiシリサイド膜50の上には例えばスパッタ法で導電性反応防止膜52を形成する。シリサイド膜50としてはPtシリサイド、Wシリサイドでもよい。シリサイド膜の目的は接触抵抗を低減させるためであるからである。Ptシリサイド膜の形成法としては、Ptをスパッタ法で厚さ100nmで堆積し、コンタクト孔を埋めた後、400°C、20分、Ar雰囲気中で熱処理することによりコンタクト孔のPtとソース領域23のSiとを反応させてPtシリサイドを形成させる。その後、王水で未反応のPtを除去する。

【0027】図6は本実施例の変形例を示す半導体装置を示す主要断面図である。上記の実施例においてはコンタクト孔内のみにTiシリサイド膜50が形成されているが、この変形例においてはセルフ・アラインド・シリサイド（自己整合金属シリサイド）によりソース領域23、ゲート電極22、ドレイン領域24上にそれぞれTiシリサイド60、61、62が形成されている。64はセルフ・アラインド・シリサイド（自己整合金属シリサイド）を形成するために形成したSiO<sub>2</sub>などの絶縁膜により形成したサイド・ウォールである。このようなプロセスに本発明を採用しても、ソース・コンタクト部の接触抵抗が低減する。

【0028】図7は本実施例の別の変形例を示す半導体装置を示す主要断面図である。上記の実施例においては、ソース領域と下部電極あるいは導電性反応防止膜はコンタクト孔により接続されているが、この変形例においては図6の実施例のようにセルフ・アラインド・シリサイドによりソース領域上に形成されたTiシリサイド74に直接、導電性反応防止膜76が形成されている。コンタクト孔形成によるキャパシタ部分の平坦性劣化を防ぐためである。またこの変形例においては導電性反応防止膜76とゲート電極22との電極間ショートを防ぐため、ゲート電極22上に絶縁膜72を形成し、導電性反応防止膜76とゲート電極22をサイドウォール73で分離している。

【0029】また図6までの実施例においては上部電極はすべてAlなどの配線電極であったが、本実施例のようにPtなどを用いて上部電極70を形成し、配線電極71により上部電極と接続してもよい。さらに、上記各実施例では、シリサイドとして主にTiシリサイド膜を形成してあるがMo、W、Pt、Pd、Taなどのシリサイドでもよい。

【0030】上述の強誘電体の拡散領域ないし基板上の形成構造としては、主に不揮発性メモリについて説明したが比誘電率が大きいことを利用したメモリ（DRAM）等に応用できることは言うまでもなく、また高容量性を必要とする回路網に適用できる。

#### 【0031】

【発明の効果】以上説明してきたように、本発明に係わる強誘電体を備えた半導体装置は、シリコン基板等の主表面または内部における強誘電体の形成構造を提供する。酸素結合性のある基体にたいして強誘電体を形成できる。強誘電体形成構造の領域は真性半導体でも良いし、不純物拡散領域のN型またはP型領域でも構わない。MIS型トランジスタのソース領域またはドレイン領域やバイポーラ・トランジスタの3電極の不純物拡散領域等が代表例であるが、能動素子の活性領域に限らず、抵抗拡散層やストップ領域等の受動素子の各領域の上に強誘電体形成構造を実現することが出来る。拡散領域上に積み上げ的に強誘電体キャパシタ構造を実現する

場合は勿論のこと、トレンチ内にも強誘電体形成構造を実現できる。高密度集積化が要請されている不揮発性メモリに用いるのに適している。

#### 【図面の簡単な説明】

【図1】本発明の実施例1の主要断面図である。

【図2】本発明の実施例2の主要断面図である。

【図3】（a）（b）（c）は本発明の実施例2の製造方法を示す工程断面図である。

【図4】実施例2に係わる別の構造を示す主要断面図である。

【図5】本発明の実施例3の主要断面図である。

【図6】本発明の実施例3に係わる変形例の主要断面図である。

【図7】本発明の実施例3に係わる別の変形例の主要断面図である。

【図8】不揮発性メモリを示す回路図である。

【図9】従来技術に係わる強誘電体キャパシタを備えた半導体装置を示す主要断面図である。

【図10】従来技術に係わる強誘電体キャパシタを備えた半導体装置の別例を示す主要断面図である。

【図11】（a）（b）は同別例に係わる半導体構造の不揮発性メモリセル能登羽化回路をそれぞれ示す回路図である。

【図12】従来技術に係わる強誘電体キャパシタを備えた半導体装置の別例を示す主要断面図である。

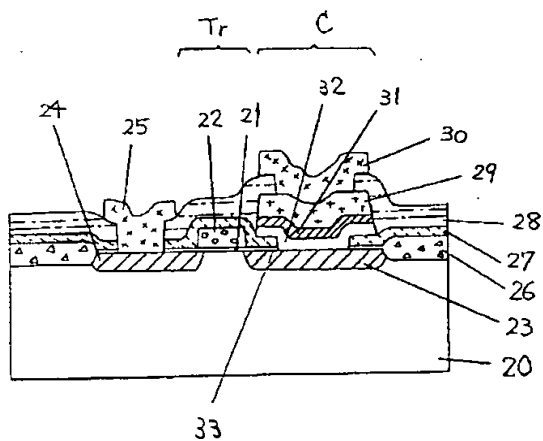
#### 【符号の説明】

- 1 Si基板
- 2 ゲート酸化膜
- 3 ゲート電極
- 4 ソース拡散層
- 5 ドレイン拡散層
- 6 局所酸化膜
- 7 第1層間絶縁膜
- 8 下部電極
- 9 強誘電体膜
- 10 上部Al電極
- 11 コンタクト孔
- 12 Al配線
- 13 第2層間絶縁膜
- 14 上部電極配線
- 15 シリコン酸化膜
- 16 Pt下部電極
- 17 Pt-Si反応スパイク
- 20 Si基板
- 21 ゲート酸化膜
- 22 ゲート電極
- 23 ソース拡散層
- 24 ドレイン拡散層
- 25 Al配線電極
- 26 局所酸化膜

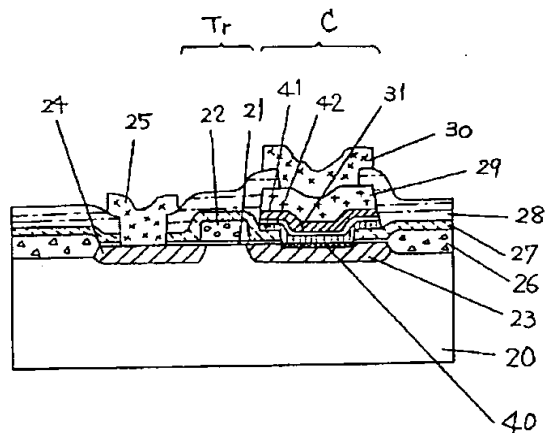
- 27 第1層間絶縁膜
- 28 第2層間絶縁膜
- 29 強誘電体膜
- 30 上部Al電極
- 31 下部電極
- 32 導電性反応防止膜
- 40 金属シリサイド
- 41 導電性金属膜
- 42 導電性反応防止膜
- 27a コンタクト孔
- 45 Ti膜
- 50 金属シリサイド
- 52 導電性反応防止膜

- 60 ソース領域の金属シリサイド
- 61 ドレイン領域の金属シリサイド
- 62 ゲート領域の金属シリサイド
- 63 導電性反応防止膜
- 64 サイドウォール
- 70 Pt上部電極
- 71 Al配線電極
- 72 SiO<sub>2</sub>膜
- 73 サイドウォール
- 74 ソース領域の金属シリサイド
- 75 ドレイン領域の金属シリサイド
- 76 導電性反応防止膜

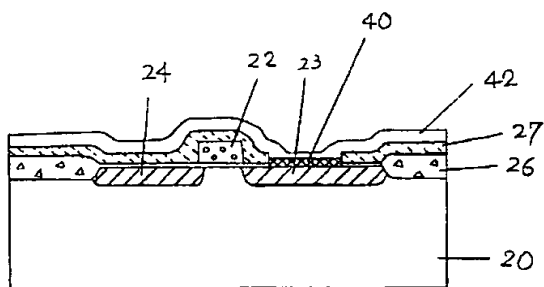
【図1】



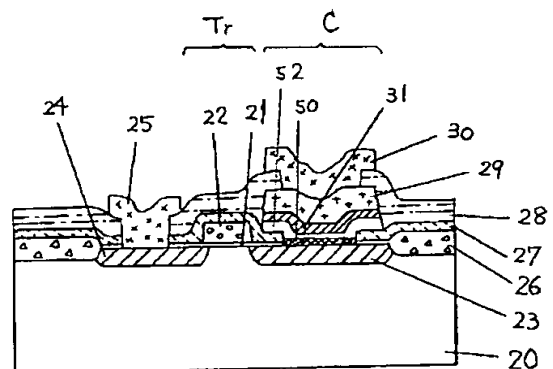
【図2】



【図4】



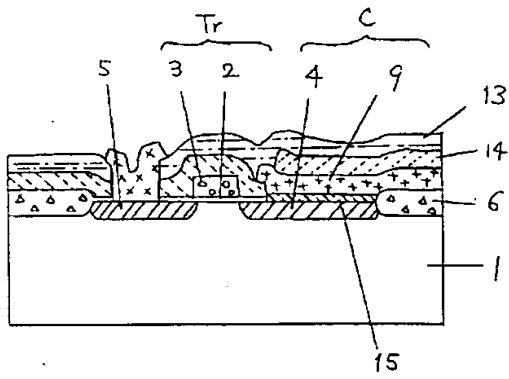
【図5】



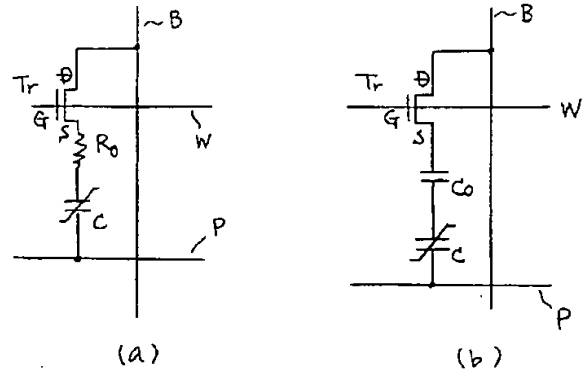




【図10】



【図11】



【図12】

